

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

DIALOG(R)File 352:Derwent WPI
(c) 2002 Derwent Info Ltd. All rts. reserv.
011255676 **Image available**

WPI Acc No: 1997-233579/199721

XRAM Acc No: C97-075003

XRPX Acc No: N97-193160

TFT mfr. for active matrix type display device - involves ion implantation process to polycrystalline silicon@ thin film at contacting part of gate electrode to make impurity in silicon inactive and thus forming channel area

Patent Assignee: TOYOTA JIDOSHA KK (TOYT)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9074207	A	19970318	JP 95251924	A	19950904	199721 B

Priority Applications (No Type Date): JP 95251924 A 19950904

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 9074207	A	11	H01L-029/786	

Abstract (Basic): JP 9074207 A

The method involves using a substrate (50) over which a gate electrode (41) and a gate insulating film (42) are formed in order. A polycrystalline Si thin film (10) of high impurity density is formed on the gate insulating film.

An ion implantation process is carried out to the polycrystalline Si thin film at contacting part of the gate electrode to make impurity element in Si inactive and thus forms a channel area (1). The remaining area in which ion implantation is not carried out acts as a source or drain area where impurity density is higher than channel area.

ADVANTAGE - Simplifies process. Provides stable and uniform threshold voltage value. Manufactures TFT without using high temperature heat treatment process and thus makes formation of TFT on weak substrate possible.

Dwg.1/8

Title Terms: TFT; MANUFACTURE; ACTIVE; MATRIX; TYPE; DISPLAY; DEVICE; ION; IMPLANT; PROCESS; POLYCRYSTALLINE; SILICON; THIN; FILM; CONTACT; PART; GATE; ELECTRODE; IMPURE; SILICON; INACTIVE; FORMING; CHANNEL; AREA

Derwent Class: L03; U11; U12; U14

International Patent Class (Main): H01L-029/786

International Patent Class (Additional): H01L-027/12

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

05459407 **Image available**

MANUFACTURÉ OF THIN FILM TRANSISTOR

PUB. NO.: 09-074207 [JP 9074207 A]

PUBLISHED: March 18, 1997 (19970318)

INVENTOR(s): SAITO HIROKAZU

APPLICANT(s): TOYOTA MOTOR CORP [000320] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 07-251924 [JP 95251924]

FILED: September 04, 1995 (19950904)

INTL CLASS: [6] H01L-029/786; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 44.9 (COMMUNICATION -- Other)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

ABSTRACT

PROBLEM TO BE SOLVED: To manufacture a thin film transistor without using a high temperature heat treatment process, and to stabilize and make uniform the threshold voltage of the thin film transistor.

SOLUTION: A gate electrode 41 and a gate insulating film 42 are formed on a substrate 50, a heavily doped impurity polycrystalline silicon thin film 10 is formed in a manner that it is insulated to the gate electrode 41. Ions, with which the impurity element in silicon is inactivated, are implanted on a part of the section opposing to the gate electrode 41 of the polycrystalline silicon thin film 10. As a result, the carrier concentration of the above-mentioned part becomes low, a channel region 1 is formed, and the remaining part becomes a source and drain region 2. Accordingly, a thin film transistor, on which the carrier concentration of the channel region 1 is controlled in a highly precise manner, is manufactured without performing a high temperature heat treatment process.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-74207

(43)公開日 平成9年(1997)3月18日

(51) Int.Cl.⁸
H 01 L 29/786
27/12

識別記号

府内整理番号

F I
H 01 L 29/78
27/12

技術表示箇所

6 1 8 G

審査請求 未請求 請求項の数1 FD (全11頁)

(21)出願番号 特願平7-251924

(22)出願日 平成7年(1995)9月4日

(71)出願人 000003207

トヨタ自動車株式会社

愛知県豊田市トヨタ町1番地

(72)発明者 斎藤 広和

愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

(74)代理人 弁理士 山中 郁生 (外2名)

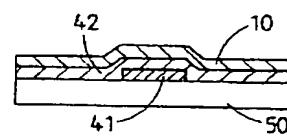
(54)【発明の名称】薄膜トランジスタの製造方法

(57)【要約】

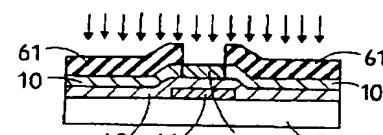
【課題】高温熱処理過程を用いることなく薄膜トランジスタを製造し、その薄膜トランジスタの閾値電圧 V_{th} を安定して均一にさせること。

【解決手段】基板50上にゲート電極41及びゲート絶縁膜42を形成し、高不純物濃度の多結晶シリコン薄膜10をゲート電極41と絶縁して成膜する。そして多結晶シリコン薄膜10のゲート電極41と対面する部分の一部に、シリコン中の不純物元素を不活性化させるイオンを注入する。これによりその部分のキャリア濃度が下がってチャネル領域1となり、残部がソース・ドレン領域2となる。かくして、チャネル領域1のキャリア濃度が高精度に制御された薄膜トランジスタが高温熱処理過程を用いることなく製造される。

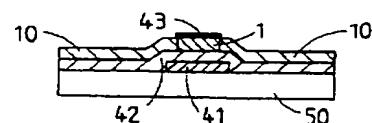
(a)



(b)



(c)



【特許請求の範囲】

【請求項 1】 ゲート電極及びゲート絶縁膜を形成するゲート構造形成工程と、

高不純物濃度の半導体薄膜を前記ゲート電極と絶縁して成膜する成膜工程と、

前記半導体薄膜の前記ゲート電極と対面する部分の一部にイオン注入を行ってチャネル領域とともに残部をソース領域及びドレイン領域とするチャネル形成工程とを含み、

前記イオン注入で注入されるイオンが、前記半導体薄膜中の不純物元素を不活性化させるイオンであることを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えばアクティブマトリックス型表示装置のスイッチング素子として用いられる薄膜トランジスタの製造方法に関し、更に詳細には、各薄膜トランジスタの閾値電圧が安定して均一に得られ多階調動作が可能な素子を、基板に熱ダメージを与えることなくかつ簡素な工程で製造することができる薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】 従来から、液晶等の表示材料を利用したアクティブマトリックス型の表示装置においては、各画素のスイッチング素子として薄膜トランジスタが使用されている。このような薄膜トランジスタについては、例えば特開昭63-224258号公報等に記載されている。

【0003】 従来の薄膜トランジスタの製造方法は、概略、図7のようなフローにより図8に示す薄膜トランジスタを製造するものである。即ち、最初に透明なガラス基板50上に所定形状のゲート電極51を形成する

(a)。このゲート電極51は、モリブデン(Mo)等の金属又は多結晶シリコン(Si)である。そして、このゲート電極51上を含めてガラス基板50上にCVD(化学気相蒸着法)によりゲート絶縁膜52を形成し、

(b)、このゲート電極51及びゲート絶縁膜52上にチャネル層53を形成する(c)。このチャネル層53は、アモルファスシリコン又は多結晶シリコンであって低濃度の不純物がドープされたものである。このチャネル層53の不純物濃度により、薄膜トランジスタの作動の閾値電圧V_{th}が決定される。

【0004】 次に、このチャネル層53上に窒化シリコン(Si_NX)のチャネルストップ層54をプラズマCVDにより形成する(d)。このチャネルストップ層54は、続くソース・ドレイン加工の際のエッチングストップとなるものである。そして、チャネル層53を所定形状にエッチング加工して(e)、その上に所定形状のソース・ドレイン層55を形成し(f)、更にその上に所定形状のソース・ドレイン電極56を形成する

(g)。ソース・ドレイン層55やソース・ドレイン電極56を所定形状にエッチング加工する際には、チャネルストップ層54により、チャネル層53がエッチングされることが防がれている。ソース・ドレイン層55は、アモルファスシリコンは多結晶シリコンであって高濃度の不純物(チャネル層53の不純物と同じ電極性のもの)がドープされたものである。ソース・ドレイン電極56は、アルミニウム(Al)等の金属である。最後にプラズマCVDで窒化シリコンの保護膜(図示略)を被せると(h)、薄膜トランジスタ素子ができる。

【0005】 かくして製造された薄膜トランジスタでは、チャネル層53が低不純物濃度であるため高抵抗なので、通常時はソース層55・ドレイン層55間の導通はオフである。しかしゲート電極51に電圧V_gを印加するとその電界効果によりチャネル層53内のキャリア濃度が高くなるので抵抗値が下がり、ついにはソース層55・ドレイン層55間の導通がオンになる。このオン反転が起きるゲート電圧V_gが閾値電圧V_{th}である。

【0006】 そして上記の製造方法は、表示装置に用いる関係上基板として透明のガラス基板50を使用し、このガラス基板50が高温に弱いことから、例えばイオン注入+熱拡散のような高温熱処理をしないで薄膜トランジスタの製造を行うようにしたものである。このために、チャネル層53の形成(c)やソース・ドレイン層55の形成(f)において、不純物を含まないノンドープ膜を成膜してその後これに不純物を導入拡散するのではなく、当初から不純物を含んだドープ膜を成膜することとしたのである。

【0007】

【発明が解決しようとする課題】 しかしながら、前記した従来方法で製造された薄膜トランジスタには、閾値電圧V_{th}のばらつきが大きいという問題点があった。その原因は、チャネル層53の不純物濃度のばらつきにある。

【0008】 この理由を明らかにするためにまず、チャネル層53の不純物濃度と閾値電圧V_{th}との関係を説明する。この種の薄膜トランジスタは、チャネル層53内のキャリア濃度が、ゲート電圧V_gの電界効果により、ソース層55・ドレイン層55間を導通させるのに十分な値にまで上昇することによりオン動作する。これに必要なゲート電圧V_gが閾値電圧V_{th}である。そして、チャネル層53の不純物濃度はキャリア濃度のもともとの値を定めるので、不純物濃度が変動すると閾値電圧V_{th}も変動してしまう。例えば、不純物濃度が正常値より高い場合には、チャネル層53のもともとのキャリア濃度が高いので、より低いゲート電圧V_gで薄膜トランジスタがオンしてしまう。つまり閾値電圧V_{th}が正常値より低くなる。一方、不純物濃度が正常値より低い場合には、閾値電圧V_{th}が正常値より高くなる。従って、精度

よい閾値電圧 V_{th} を得るためにには、チャネル層 5 3 の不純物濃度を均一にしなければならないのである。

【0009】そして前記の製造方法では、このチャネル層 5 3 を、不純物を含んだドーフト膜として成膜することにより形成している。ところが、不純物濃度の低い領域では、その濃度制御が装置的に困難なためにはばらつきが大きくなってしまうのである。この点で、イオン注入では注入するイオンの個数を高精度に制御できるのと相違する。そしてこの濃度のばらつきは、基板間にもちろん、1枚の基板上の薄膜トランジスタどうしの間にも存在する。このために、1枚の基板上で各薄膜トランジスタの閾値電圧 V_{th} がばらついてしまうのである。この結果、表示装置として用いたときの表示の階調数は 6 4 程度が限界でそれ以上に増やすことができなかった。

【0010】本発明は、従来技術のかかる問題点を解決するためになされたものであり、その目的とするところは、薄膜トランジスタの閾値電圧 V_{th} が安定して再現性よく均一に得られる薄膜トランジスタの製造方法を、高温熱処理過程を用いることなく提供することにある。

【0011】

【課題を解決するための手段】前記した目的を達成するため本発明に係る薄膜トランジスタの製造方法は、ゲート電極及びゲート絶縁膜を形成するゲート構造形成工程と、高不純物濃度の半導体薄膜を前記ゲート電極と絶縁して成膜する成膜工程と、前記半導体薄膜の前記ゲート電極と対面する部分の一部にイオン注入を行ってチャネル領域とともに残部をソース領域及びドレイン領域とするチャネル形成工程とを含み、前記イオン注入で注入されるイオンが、前記半導体薄膜中の不純物元素を不活性化させるイオンであることを特徴とする。

【0012】この製造方法では、ゲート構造形成工程でゲート電極とゲート絶縁膜とが形成された後、成膜工程で高不純物濃度の半導体薄膜が成膜される。この半導体薄膜は、薄膜トランジスタのソース領域及びドレイン領域として適切な抵抗値を有するようないずれかの不純物濃度で成膜される。この濃度は、成膜装置での高精度な濃度制御が可能なレベルであり、従って半導体薄膜の不純物濃度の精度は高い。またこの半導体薄膜は、ゲート絶縁膜によりゲート電極とは絶縁されている。そして、チャネル形成工程で半導体薄膜の一部にイオン注入が施される。このイオン注入が施されるのは、半導体薄膜のうちゲート電極と対面する部分の更に一部である。そして、ここで注入されるイオンは、半導体薄膜中の不純物元素を不活性化してキャリア付与に寄与しないようにさせるイオンである。このためこのイオン注入が施された部分は、不純物濃度は高くてもキャリア濃度は低下して抵抗値が上がり、薄膜トランジスタのチャネル領域となる。半導体薄膜のうちイオン注入が施されなかった部分は薄膜トランジスタのソース領域及びドレイン領域となる。なお、このイオン注入は、その後に加熱拡散処理を行うもので

ないので、熱ダメージのおそれはない。

【0013】かくして製造された薄膜トランジスタは、高不純物濃度の半導体薄膜の一部であり不純物元素を不活性化させるイオンの注入が施されたチャネル領域と、前記半導体薄膜の残部であるソース領域及びドレイン領域と、前記チャネル領域に対面するとともにこれより広いゲート電極と、前記チャネル領域、ソース領域、及びドレイン領域と前記ゲート電極とを絶縁するゲート絶縁膜とを有している。

【0014】この薄膜トランジスタは、チャネル領域においてイオン注入により不純物元素が不活性化されキャリア濃度が下がっているので、この領域の抵抗値は高い。このため通常状態では、ソース領域とドレイン領域との間の導通がこのチャネル領域によりオフとされている。そして、ゲート電極に電圧 V_g を印加すると、その電圧 V_g による電界がゲート絶縁膜を通してチャネル領域全体に作用し、その電界効果によりチャネル領域のキャリア濃度が増加するので、チャネル領域の抵抗が減少する。そして電圧 V_g が閾値電圧 V_{th} に達すると、ソース領域とドレイン領域との間の導通がオンになる。

【0015】ここで、薄膜トランジスタをオン反転させるのに必要なゲート電圧 V_g 、即ち閾値電圧 V_{th} は、ゲート電圧 V_g がゼロであるときにおけるチャネル領域のキャリア濃度に依存する。このキャリア濃度は、チャネル領域における活性な不純物元素の濃度であり、これは、成膜工程で高不純物濃度の半導体薄膜を成膜したときの不純物濃度から、チャネル形成工程でイオン注入により不活性化された分を差し引いたものである。そして、成膜時の不純物濃度が成膜装置での高精度な濃度制御が可能なレベルであり、また、イオン注入では注入するイオンの個数の高精度な制御が可能であることから、チャネル領域の活性不純物元素の濃度は高精度な制御が可能で再現性も高い。このため、1枚の基板上に多数の薄膜トランジスタを形成した場合でも、各薄膜トランジスタの閾値電圧 V_{th} の均一性が高い。

【0016】また、この薄膜トランジスタでは、チャネル領域、ソース領域、及びドレイン領域を一層の高不純物濃度の半導体薄膜として形成しているので、チャネル領域とソース及びドレイン領域との間のコンタクト抵抗が非常に小さく、またチャネル長も小さくできる。このためオン抵抗が小さく高速動作が可能である。

【0017】以下、前記目的を更に良好に達成するための好ましい態様を挙げて説明する。

【0018】【態様 1】請求項 1 の薄膜トランジスタの製造方法において、前記チャネル形成工程でのイオン注入をフォトレジストマスクによりバーニングして行い、前記チャネル形成工程で前記半導体薄膜に形成されたソース領域及びドレイン領域上にソース電極及びドレイン電極を形成する電極形成工程を含むことを特徴とする薄膜トランジスタの製造方法。

【0019】[態様2] 請求項1の薄膜トランジスタの製造方法において、前記成膜工程で成膜された半導体薄膜のソース領域及びドレイン領域となるべき部分の上にソース電極及びドレイン電極を形成する電極形成工程を含み、このソース電極及びドレイン電極をパターンマスクとして前記チャネル形成工程でのイオン注入を行うことを特徴とする薄膜トランジスタの製造方法。

【0020】この態様1又は態様2の製造方法では、電極形成工程でソース領域及びドレイン領域に対するソース電極及びドレイン電極を形成するので、ソース電極及びドレイン電極により、ソース領域及びドレイン領域と配線とのオーミックコンタクトがとられる。特に、態様2の製造方法においては、ソース電極及びドレイン電極をイオン注入時のパターンマスクとしているので、イオン注入のみのためのフォトリソグラフィを行う必要がなく、フォト回数を減少させることができる。

【0021】[態様3] 態様1又は態様2の薄膜トランジスタの製造方法において、前記成膜工程で成膜された半導体薄膜のチャネル領域となるべき部分の上に、若しくは前記チャネル形成工程で前記半導体薄膜に形成されたチャネル領域の上に、エッチングストップ層を形成するストップ形成工程を含むことを特徴とする薄膜トランジスタの製造方法。

【0022】この製造方法において、ストップ形成工程で形成するエッチングストップ層は、電極形成工程において電極層のエッチングを行う際に半導体薄膜のチャネル領域となるべき部分又は半導体薄膜に形成されたチャネル領域がエッチングされてしまうのを防止するものである。なぜなら、電極層のエッチングを行う条件では、半導体薄膜もエッチングされてしまうことが多いので、これを防止する必要があるためである。従ってこのストップ形成工程を行うタイミングは、電極形成工程よりも前であればよく、チャネル形成工程で半導体薄膜にチャネル領域を形成する前でも形成した後でもよい。

【0023】[態様4] 請求項1又は態様1又は態様2又は態様3の薄膜トランジスタの製造方法において、前記成膜工程で成膜される半導体薄膜がアモルファスシリコン薄膜又は多結晶シリコン薄膜であり、前記チャネル形成工程で注入されるイオンが、Si、F(フッ素)、Ar(アルゴン)よりなる群から選ばれた1又は2以上の元素のイオンであることを特徴とする薄膜トランジスタの製造方法。

【0024】この製造方法では、通常の成膜装置により高不純物濃度のアモルファスシリコン薄膜又は多結晶シリコン薄膜を、不純物濃度を高精度に制御しつつ成膜することができる。そして、Si、F、Arは、イオン化してアモルファスシリコン薄膜又は多結晶シリコン薄膜に注入すると不純物元素を不活性化する作用を有しており、チャネル領域の形成に適している。

【0025】

【発明の実施の形態】本発明の実施の形態を図面を参照して詳細に説明する。以下に説明する各実施の形態に係る薄膜トランジスタの製造方法では、液晶表示装置のスイッチング素子として用いるため、透明なガラス基板上に多数の薄膜トランジスタをマトリックス状に製造する。ただし便宜上、図面には1つの薄膜トランジスタのみを示す。

【0026】第1の実施の形態。この実施の形態は、請求項1、態様1、態様1に係る態様3、そして態様1に係る態様4に対応する。

【0027】この実施の形態は基本的に、図3に示すように、ガラス基板上にゲート電極を形成し(S1)、ゲート絶縁膜を形成し(S2)、多結晶シリコン膜を高不純物濃度のドーフト膜として形成し(S3)、この多結晶シリコン膜の一部にイオン注入を施してチャネル領域を形成すると共に残部をソース・ドレイン領域とし(S4)、このチャネル領域を覆うチャネルストップ膜を形成し(S5)、ソース・ドレイン領域の余分な部分を除去し(S6)、ソース・ドレイン電極を形成し(S7)、最後に保護膜で全体を覆う(S8)ものである。以下、図1及び図2を用いて、詳細に説明する。

【0028】図1(a)に、ガラス基板50上にゲート電極41とゲート絶縁膜42と高不純物濃度の多結晶シリコン膜10とを形成した状態の断面図を示す。このうち、ゲート電極41及びゲート絶縁膜42の形成が請求項1にいうゲート構造形成工程であり、高不純物濃度の多結晶シリコン膜10の形成が請求項1にいう成膜工程である。

【0029】最初にガラス基板50上にモリブデン等の金属又は多結晶シリコンでゲート電極41を形成する(図3のS1)。このゲート電極41の形成は、ガラス基板50上に金属又は多結晶シリコンのベタ膜をスパッタリング又はCVDにより成膜し、フォトリソグラフィとエッチングで所定形状に加工することにより行う、多結晶シリコンを用いる場合は、導電性確保のために不純物を含有させる。

【0030】次に、ゲート電極41上を含めてガラス基板50上にゲート絶縁膜42を形成する(図3のS2)。ゲート絶縁膜42の材質は、絶縁性に優れるものであれば特に制限はないが、酸化シリコン(SiO₂)やあるいは空化シリコン等をCVDにより形成するのが一般的である。図1(a)に示す範囲内ではゲート絶縁膜42はガラス基板50上の全面に存在しているが、薄膜トランジスタ以外の例えば液晶素子を形成する場所等には不要なので、フォトリソグラフィとエッチングにより不要な部分は除去する。

【0031】続いて、ゲート絶縁膜42上に高不純物濃度の多結晶シリコン膜10を、CVDによりベタ膜として形成する(図3のS3)。この多結晶シリコン膜10は、薄膜トランジスタにおけるチャネル領域及びソース

・ドレイン領域となるものであり、ゲート電極41とはゲート絶縁膜42により絶縁されている。そしてこの多結晶シリコン膜10には、成膜時において、所定の濃度の不純物を含有させる。この不純物とは、リン(P)、ホウ素(B)等のシリコンに導電性を付与する元素である。この不純物の濃度は、薄膜トランジスタのソース・ドレイン領域として適切な導電性が得られる高い濃度とする。具体的には、CVDの雰囲気ガスとして、ホスフィン(PH_3)やジボラン(B_2H_6)のような不純物供給ガスを所定比率で混合させることにより、高不純物濃度の多結晶シリコン膜10を成膜する。ここで、この不純物元素を成膜時に含有させる理由は、基板が高温に弱いガラス基板50であるため、成膜後に固相拡散等で含有させることができないからである。なお、ここでは多結晶シリコン膜10としたが、高不純物濃度であればアモルファスシリコン膜でもよい。

【0032】図1(a)は、このS3まで行った状態を示している。続く図1(b)は、請求項1にいうチャネル形成工程でのイオン注入を示すものである。

【0033】このイオン注入を行うためにまず、フォトリソグラフィによりレジストマスク61をバターニングする。レジストマスク61は、多結晶シリコン膜10のうちソース・ドレイン領域となるべき部分を覆い、チャネル領域となるべき部分は開口している。この開口部分は、ゲート電極41の上方に位置しこれより狭い。そしてこのレジストマスク61が存在する状態でイオン注入を行う(図3のS4)。ここで注入するイオンは、Si、F、Arのいずれかの元素のイオンである。これらのイオンは、多結晶シリコン膜10に含有される不純物元素を不活性化してキャリア付与に寄与しないようにさせる作用を有している。

【0034】このイオン注入を行うと、多結晶シリコン膜10のうちレジストマスク61が開口している部分にイオンが進入し、その部分がチャネル領域1となる。このチャネル領域1では、注入されたイオンのために不純物元素が不活性化され、キャリア濃度が減少して導電性が低下している。一方、レジストマスク61に覆われている部分は、イオンが遮蔽されるので多結晶シリコン膜10のキャリア濃度は成膜時の高い値のまま維持される。この部分がソース・ドレイン領域として使用される。イオン注入が終了したらレジストマスク61を除去する。なお、このイオン注入後に熱拡散は行わないで、ガラス基板50の熱損傷はない。

【0035】次に、図1(c)に示すように、多結晶シリコン膜10上にCVDで窒化シリコンのチャネルトップ43を形成する(図3のS5)。チャネルトップ43は、後述するソース・ドレイン電極のエッチング加工の際にチャネル領域1がエッチングされてしまうのを防止するためのエッチングトップであり、チャネル領域1を覆いその外方へ少しほみ出すように形成される。

このチャネルトップ43の形成は、態様3にいうトップ形成工程である。

【0036】続いて、図2(a)に示すように、多結晶シリコン膜10の不要な部分をフォトリソグラフィとエッチングにより除去する。これによりソース・ドレイン領域2が加工される(図3のS6)。なお、図1(c)のチャネルトップ43の形成とこのソース・ドレイン領域2の加工とは、順序を入れ換えてもかまわない。

【0037】次に、図2(b)に示すように、ソース・ドレイン領域2上にアルミニウム等の金属でソース・ドレイン電極44を形成する(図3のS7)。このソース・ドレイン電極44の形成は、スパッタリング又はCVDによりその金属のベタ膜を形成し、これをフォトリソグラフィとエッチングにより加工することにより行う。このエッチング加工の際に、ソース・ドレイン電極44のエッチング条件では多結晶シリコン膜10もエッチングされてしまうので、チャネル領域1がダメージを受けるおそれがありこれを防止する対策を要するが、ここではチャネルトップ43がチャネル領域1の保護のための防止機能を果たしている。かくして形成されたソース・ドレイン電極44は、ソース・ドレイン領域2の上面を覆い、これらとのオーミックコンタクトをとるものである。このソース・ドレイン電極44の形成は、態様1にいう電極形成工程である。

【0038】そして、必要な配線を形成してから、図2(c)に示すようにCVDで窒化シリコン又は酸化シリコンの保護膜45を形成して全体を覆うと(図3のS8)、薄膜トランジスタ素子はできあがる。

【0039】かくして製造された薄膜トランジスタは、高不純物濃度の多結晶シリコン膜10の一部でありSi、F、Arのいずれかの元素のイオン注入が施されて不純物元素が不活性化されたチャネル領域1と、その多結晶シリコン膜10の残部であるソース・ドレイン領域2と、チャネル領域1に対面してこれより広く設けられたゲート電極41と、チャネル領域1及びソース・ドレイン領域2とゲート電極41とを絶縁するゲート絶縁膜42と、ソース・ドレイン領域2とのオーミックコンタクトをとるソース・ドレイン電極44とを有している。そしてこのような薄膜トランジスタがガラス基板50上にマトリックス状に多数存在し、液晶表示装置のスイッチング素子として作用するようにされている。

【0040】かかる薄膜トランジスタは、チャネル領域1の抵抗値が高い。この領域ではイオン注入により不純物元素が不活性化されキャリア濃度が下がっているためである。このため通常状態では、ソース・ドレイン電極44を用いてソース・ドレイン領域2の間に電圧を印加しても、これらは導通しない。しかし、ゲート電極41に電圧を印加すると、その電圧 V_g による電界がゲート絶縁膜42を通してチャネル領域1全体に作用し、その電界効果によりチャネル領域1のキャリア濃度が増加し

てその抵抗が減少する。そしてゲート電圧 V_g が閾値電圧 V_{th} に達すると、ソース・ドレイン領域 2 の間が導通する。即ち薄膜トランジスタがオン反転する。

【0041】ここで、薄膜トランジスタをオン反転させるのに必要なゲート電圧 V_g 、即ち閾値電圧 V_{th} は、ゲート電圧 V_g がゼロであるときにおけるチャネル領域 1 のキャリア濃度（以下、原キャリア濃度という）に依存する。原キャリア濃度は、チャネル領域 1 における活性な不純物元素の濃度であり、これは、高不純物濃度の多結晶シリコン膜 10 を成膜したとき（図 3 の S 3）の不純物濃度から、イオン注入（図 3 の S 4）により不活性化された分を差し引いたものである。ここで、多結晶シリコン膜 10 を高不純物濃度で成膜しているので、CVD 装置で高精度な濃度制御が可能であり、多結晶シリコン膜 10 の不純物濃度の精度は高い。そして、イオン注入では注入するイオンの個数を高精度に制御できる。従って、チャネル領域 1 の原キャリア濃度の精度は高い。このため、1 枚の基板上に形成された各薄膜トランジスタの閾値電圧 V_{th} の均一性が高い。

【0042】このことは、液晶表示装置の多階調動作が可能であることを意味している。この薄膜トランジスタによれば、液晶表示装置の表示動作の階調数を 128 以上とすることができます。

【0043】また、この薄膜トランジスタでは、チャネル領域 1 及びソース・ドレイン領域 2 を一層の高不純物濃度の多結晶シリコン膜 10 として成膜し、これをイオン注入によりチャネル領域 1 とソース・ドレイン領域 2 とに区分しているので、チャネル領域 1 とソース・ドレイン領域 2 との間のコンタクト抵抗が殆ど無視できる。またチャネル長も小さくすることができる。このためオン反転時の抵抗が小さく高速動作が可能である。特に、多結晶シリコン膜 10 の不純物元素として n 型のリン等を用いた場合には、電子の移動度がホールの移動度より大きいことから、更に高速な動作が可能である。

【0044】また、この薄膜トランジスタでチャネル領域 1 及びソース・ドレイン領域 2 を一層の多結晶シリコン膜 10 として成膜していることは、フォトリソグラフィの回数が 1 回少なくて済み、フォトマスクの枚数もその分削減できるので、製造工程が複雑にならずに済むとともに製造コストの点でも有利である。

【0045】また、熱拡散等の高温熱処理を用いていないので、基板に熱損傷を生じさせることなくその上に薄膜トランジスタを形成することができる。このため、液晶表示装置のスイッチング素子としての薄膜トランジスタを高温に弱いガラス基板上に作成するのに適している。

【0046】以上詳細に説明したように第 1 の実施の形態によれば、高不純物濃度の多結晶シリコン膜 10 を成膜し、この一部を、イオン注入により不純物元素の不活性化を施してチャネル領域 1 とし、残部をソース・ドレ

イン領域 2 として使用することとしたので、ガラス基板 50 を過度に高温に熱することなくその上に多数の薄膜トランジスタを、それらの閾値電圧 V_{th} が均一になるよう、かつ簡易な製造工程で製造できるものである。また、かくして製造された薄膜トランジスタは、オン抵抗が低く高速動作が可能である。このため、液晶表示素子の多階調動作や高速動作が可能である。

【0047】第 2 の実施の形態。この実施の形態は、請求項 1、態様 2、態様 2 に係る態様 3、そして態様 2 に係る態様 4 に対応する。

【0048】この実施の形態は基本的に、図 6 に示すように、ガラス基板上にゲート電極を形成し（S 11）、ゲート絶縁膜を形成し（S 12）、多結晶シリコン膜を高不純物濃度のドーフト膜として形成し（S 13）、そのうちチャネル領域となるべき部分を覆うチャネルストップ膜を形成し（S 14）、余分な部分を除去し（S 15）、ソース・ドレイン電極を形成し（S 16）、イオン注入により多結晶シリコン膜の一部にチャネル領域を形成すると共に残部をソース・ドレイン領域となし（S 17）、最後に保護膜で全体を覆う（S 18）ものである。以下、第 1 の実施の形態と共に通する部分については先の記載を引用しつつ、相違点に重点をわけ、図 4 及び図 5 を用いて詳細に説明する。

【0049】ガラス基板 50 上へのゲート電極 41 の形成（図 6 の S 11）及びゲート絶縁膜 42 の形成（図 6 の S 12）、そして高不純物濃度の多結晶シリコン膜 10（アモルファスシリコン膜でもよい）の形成（図 6 の S 13）については、第 1 の実施の形態（図 3 の S 1～S 3）と変わることはない。図 4 (a) はこの S 13 まで行った状態を示しており、図 1 (a) と同様の構造を示している。

【0050】次に、図 4 (b) に示すように、多結晶シリコン膜 10 上に CVD で空化シリコンのチャネルストップ 43 を形成する（図 6 の S 14）。チャネルストップ 43 は、多結晶シリコン膜 10 のうち後述するイオン注入によりチャネル領域となるべき部分が後述するソース・ドレイン電極のエッティング加工の際にエッティングされてしまうのを防止するためのエッティングストップであり、その部分を覆いその外方へ少しほみ出すように形成される。このチャネルストップ 43 及びその形成は、第 1 の実施の形態の図 3 の S 5 で説明したもの（図 1 (c)）と同様である。ただしこの実施の形態においては、チャネルストップ 43 と多結晶シリコン膜 10 との合計膜厚を、ゲート絶縁膜 42 の膜厚より薄くしておく必要がある。後述するイオン注入の際にイオンがガラス基板 50 に進入するのを防ぐためである。

【0051】続いて、図 4 (c) に示すように、多結晶シリコン膜 10 をフォトリソグラフィとエッティングにより加工して不要な部分を除去する（図 6 の S 15）。このエッティングにより、多結晶シリコン膜 10 のうち薄膜

トランジスタのチャネル領域となるべき部分及びソース・ドレイン領域となるべき部分のみが残される。このエッティングは、第1の実施の形態における図2(a)、図3のS6に相当する。なお、図4(b)のチャネルストップ43の形成とこのエッティング加工とは、順序を入れ換えてかまわない。

【0052】そして、図5(a)に示すように、多結晶シリコン膜10のうちソース・ドレイン領域となるべき部分の上にアルミニウム等の金属でソース・ドレイン電極44を形成する(図6のS16)。このソース・ドレイン電極44の形成は、スパッタリング又はCVDによりその金属のベタ膜を形成し、その上にフォトリソグラフィによりレジストマスク62を形成し、そしてベタ膜をエッティングにより加工することにより行う。このエッティング加工の際に、ソース・ドレイン電極44のエッティング条件では多結晶シリコン膜10もエッティングされてしまうので、チャネル領域となるべき部分がダメージを受けるおそれがありこれを防止する対策を要するが、ここではチャネルストップ43がその保護のための防止機能を果たしている。かくして形成されたソース・ドレイン電極44は、ソース・ドレイン領域となるべき部分の上面を覆い、これらとのオーミックコンタクトをとるものである。このソース・ドレイン電極44の形成は、態様2にいう電極形成工程であり、第1の実施の形態における図2(b)、図3のS7に相当する。

【0053】次に、イオン注入によるチャネル領域1の形成を行う(図6のS17、図5(b))。このイオン注入は、第1の実施の形態における図1(b)、図3のS4に相当するものであり、態様2にいうチャネル形成工程である。従って注入するイオンはSi、F、Arのいずれかの元素のイオンである。このとき、直前のソース・ドレイン電極44の形成の際に作成したレジストマスク62がそのまま、イオンに対するストップとして作用してイオンを遮蔽するので、多結晶シリコン膜10のうちソース・ドレイン領域となるべき部分にはイオンが注入されず、チャネル領域となるべき部分にのみイオン注入がなされることとなる。そしてその部分では、注入されたイオンのために不純物元素が不活性化され、キャリア濃度が減少して導電性が低下しており、この部分がチャネル領域1となる。一方、レジストマスク62及びソース・ドレイン電極44に覆われている部分は、イオンが遮蔽されるのでキャリア濃度は成膜時の高い値のまま維持される。この部分がソース・ドレイン領域2となる。なお、このイオン注入後に熱拡散は行わないのでガラス基板50の熱損傷はない。

【0054】このとき、注入するイオンの加速エネルギーは、図5(b)中レジストマスク62及びソース・ドレイン電極44の外側の領域においてイオンがゲート絶縁膜42を通過しない程度の低いエネルギーとする。この部分のガラス基板50はゲート絶縁膜42のみに覆わ

れでいるので、あまりに高いエネルギーで注入するとイオンがゲート絶縁膜42を通してガラス基板50に進入してしまい、ガラスの白濁等、表示装置として好ましくない現象を起こすからである。その一方、注入したイオンが多結晶シリコン膜10の厚み全体に分布するようである程度の高さのエネルギーを要する。加速エネルギーがあまりに低いと、多結晶シリコン膜10の厚みのうちゲート絶縁膜42よりの部分にキャリア濃度が高いままの箇所が残ってしまい、薄膜トランジスタとしての機能に支障がでるからである。ここでは前記のように、チャネルストップ43と多結晶シリコン膜10との合計膜厚がゲート絶縁膜42の膜厚より薄くされているので、イオンがガラス基板50には進入せず、かついオンが多結晶シリコン膜10の厚み全体に分布するような加速エネルギーを選ぶことができる。

【0055】また、図5(b)ではレジストマスク62を残したままイオン注入を行っているが、レジストマスク62を除去してからイオン注入を行ってもよい。レジストマスク62と同一のパターンを有するソース・ドレイン電極44のセルファーライン作用により、チャネル領域となるべき部分以外へのイオン注入が防止されるからである。

【0056】そして、必要な配線を形成してから、図5(c)に示すようにCVDで窒化シリコン又は酸化シリコンの保護膜45を形成して全体を覆うと(図6のS18)、薄膜トランジスタ素子ができる。

【0057】かくして製造された薄膜トランジスタは、第1の実施の形態のものと同様の構成を有している。即ち、高不純物濃度の多結晶シリコン膜10の一部でありSi、F、Arのいずれかの元素のイオン注入が施されて不純物元素が不活性化されたチャネル領域1と、その多結晶シリコン膜10の残部であるソース・ドレイン領域2と、チャネル領域1に対面してこれより広く設けられたゲート電極41と、チャネル領域1及びソース・ドレイン領域2とゲート電極41とを絶縁するゲート絶縁膜42と、ソース・ドレイン領域2とのオーミックコンタクトをとるソース・ドレイン電極44とを有している。そしてこのような薄膜トランジスタがガラス基板50上にマトリックス状に多数存在し、液晶表示装置のスイッチング素子として作用するようにされている。

【0058】従って、第1の実施の形態のものと同様に、各薄膜トランジスタの閾値電圧 V_{th} の均一性が高いという特徴を有しており、このため液晶表示装置の多階調動作が可能である。また、チャネル領域1とソース・ドレイン領域2との間のコンタクト抵抗が殆ど無視できチャネル長も小さくすることができることからオン抵抗が小さく高速動作が可能である点でも第1の実施の形態のものと同様である。更に、チャネル領域1及びソース・ドレイン領域2を一層の多結晶シリコン膜10として成膜していることはもちろん、ソース・ドレイン電極4

4加工用のレジストマスク62若しくはソース・ドレイン電極44自体をイオン注入のためのパターンマスクとして用いイオン注入のみのためのフォトリソグラフィを行わないことから、製造工程が大幅に簡略化されている。また、高温熱処理を行ないので高温に弱いガラス基板上に薄膜トランジスタを作成でき、液晶表示装置のスイッチング素子に用いることができる。

【0059】以上詳細に説明したように第2の実施の形態によれば、高不純物濃度の多結晶シリコン膜10を成膜し、そのうちソース・ドレイン領域2となるべき部分上にソース・ドレイン電極44を形成し、多結晶シリコン膜10のうちソース・ドレイン電極44に覆われていない部分をイオン注入により不純物元素の不活性化を施してチャネル領域1とし、残部をソース・ドレイン領域2として使用することとしたので、ガラス基板50を過度に高温に熱することなくその上に多数の薄膜トランジスタを、それらの閾値電圧 V_{th} が均一になるように、かつ簡易な製造工程で製造できるものである。また、かくして製造された薄膜トランジスタは、オン抵抗が低く高速動作が可能である。このため、液晶表示素子の多階調動作や高速動作が可能である。

【0060】以上第1及び第2の実施の形態に即して説明したが、本発明は前記各実施の形態に何ら限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々の設計変更ができるることは言うまでもないことである。例えば、前記各実施の形態に示した絶縁膜や金属膜等の各種薄膜の具体的な成分は、同様の機能を有する他のもので置き換えることも可能である。

【0061】また、前記各実施の形態はいずれも、液晶表示装置のスイッチング素子として用いるためにガラス基板上に薄膜トランジスタを形成する例を示したが、これ以外にも、高温熱処理を嫌うものに薄膜トランジスタを形成する場合には本発明の適用が可能である。例えば、3次元集積回路の2段目以降のトランジスタの形成に応用することが考えられる。既に作製した1段目のト

ランジスタのためのアルミ配線等が高温熱処理を嫌うからである。

【0062】

【発明の効果】本発明に係る薄膜トランジスタの製造方法によれば、高不純物濃度の半導体薄膜を成膜し、その一部にイオン注入による不純物元素の不活性化を施してチャネル領域とするとともに残部をソース領域及びドレイン領域とすることとしたので、製造される薄膜トランジスタの閾値電圧 V_{th} が安定して均一に得られ、また高温熱処理過程を用いないので、高温に弱い基板上にもそのような薄膜トランジスタを形成できる。

【図面の簡単な説明】

【図1】第1の実施の形態に係る薄膜トランジスタの製造方法を説明する図である。

【図2】第1の実施の形態に係る薄膜トランジスタの製造方法を説明する図である。

【図3】図1及び図2に示した薄膜トランジスタの製造方法の流れを示す図である。

【図4】第2の実施の形態に係る薄膜トランジスタの製造方法を説明する図である。

【図5】第2の実施の形態に係る薄膜トランジスタの製造方法を説明する図である。

【図6】図4及び図5に示した薄膜トランジスタの製造方法の流れを示す図である。

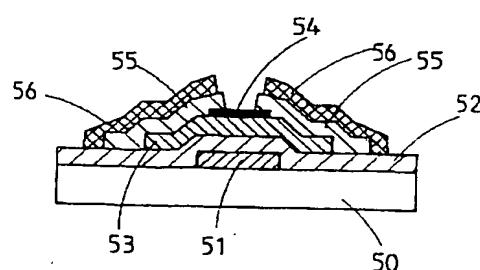
【図7】従来の薄膜トランジスタの製造方法の流れを示す図である。

【図8】従来の薄膜トランジスタの製造方法を説明する図である。

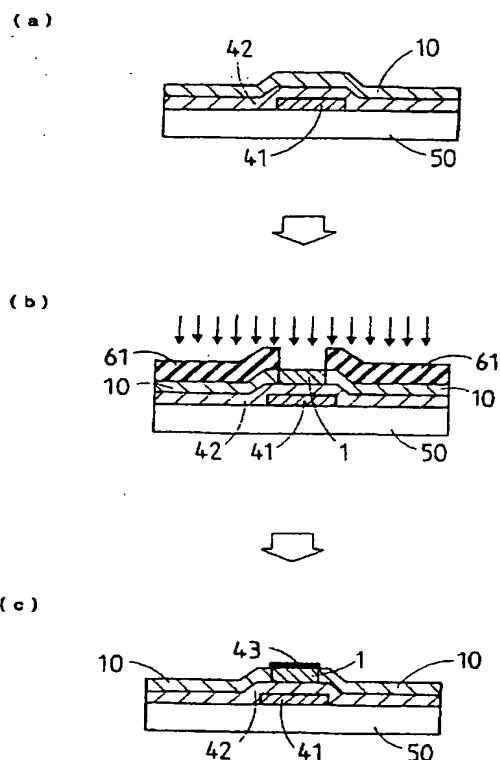
【符号の説明】

- 1 チャネル領域
- 2 ソース・ドレイン領域
- 10 多結晶シリコン薄膜
- 41 ゲート電極
- 42 ゲート絶縁膜

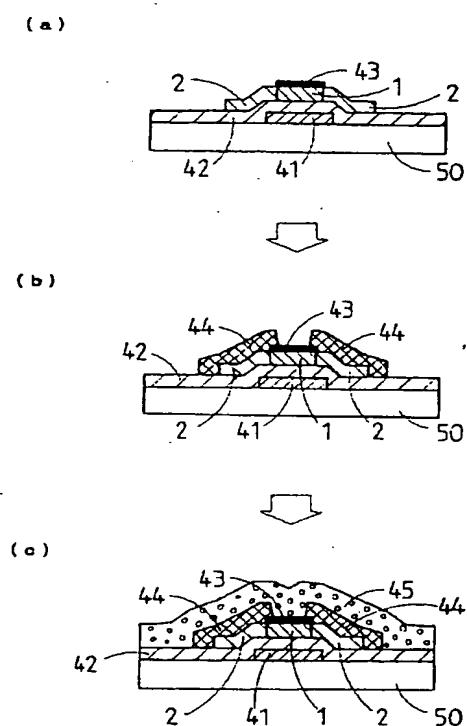
【図8】



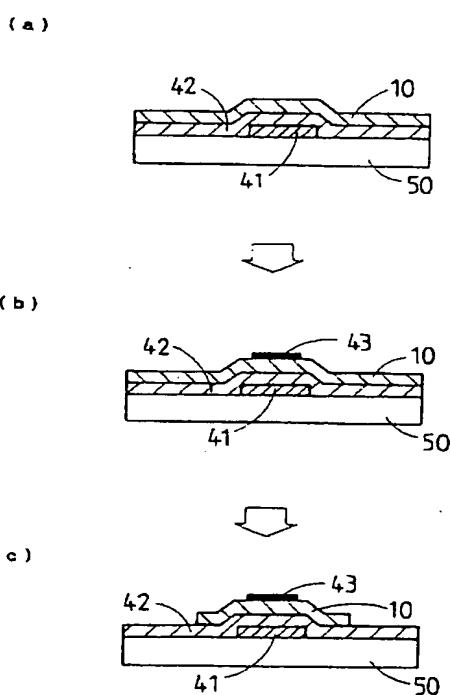
【図1】



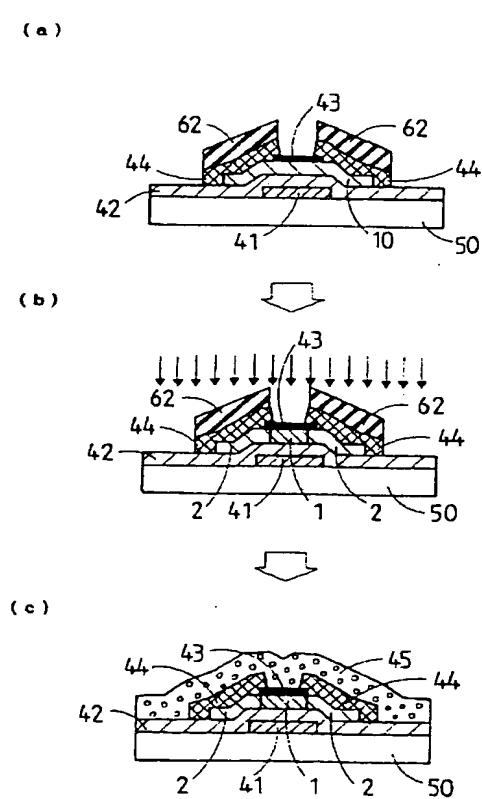
【図2】



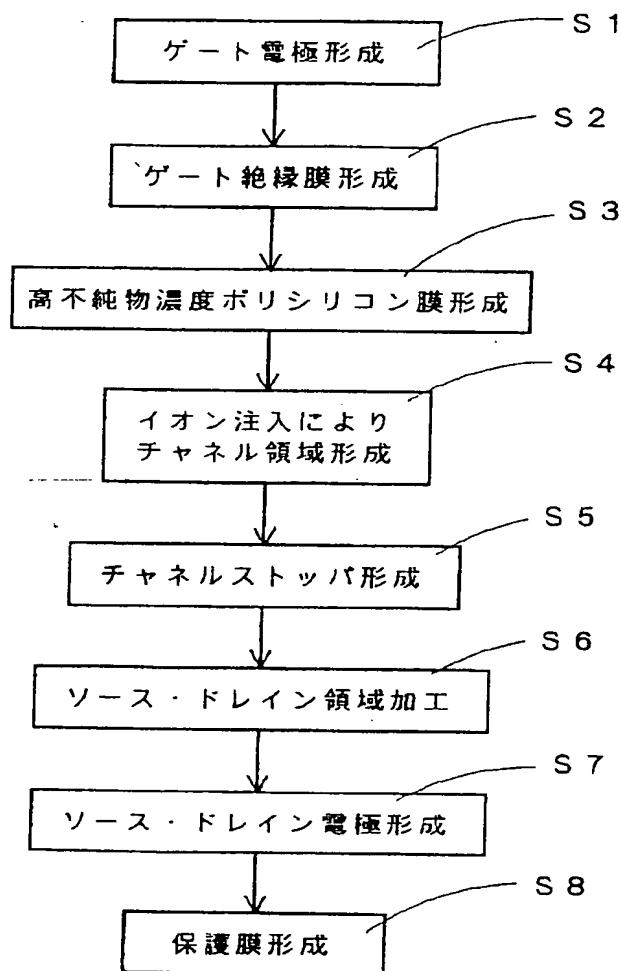
【図4】



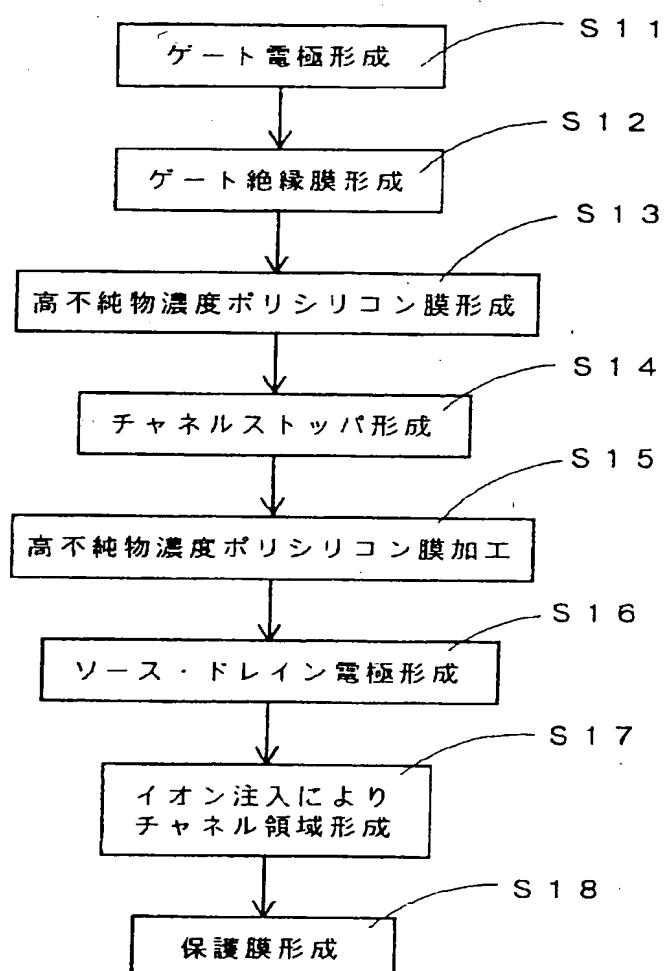
【図5】



【図3】



【図6】



【図7】

